

## ⑫ 公開特許公報(A) 平3-219496

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月26日

G 11 C 16/06

7131-5B

G 11 C 17/00

3 0 9 C

審査請求 未請求 請求項の数 8 (全 23 頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 平2-13614

⑰ 出 願 平2(1990)1月25日

⑱ 発 明 者 久 米 均 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 関 浩 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 和 田 武 史 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体設計開発センタ内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 中村 純之助 外1名

## 明 細 書

## 1. 発明の名称

不揮発性半導体記憶装置

## 2. 特許請求の範囲

1. 半導体基板表面に設けられた膜厚が実質的に一定のゲート絶縁膜と、上記ゲート絶縁膜上に設けられた浮遊ゲート電極と、上記浮遊ゲート電極上に層間絶縁膜を介して形成された制御ゲート電極と、半導体基板内に互いに分離して設けられ、かつ上記ゲート絶縁膜をはさんで上記浮遊ゲート電極と重なり部分を持つソース領域およびドレイン領域と、上記ソース領域とドレイン領域間のチャネル領域とを備えたMISFETの1素子をメモリセルとし、該メモリ素子を複数個マトリックス状に配置したメモリアレイを備えた不揮発性半導体記憶装置であって、
- 上記浮遊ゲート電極に保持した電荷を外部に取り去る電氣的消去動作を行なう際に、少なくとも上記消去動作の対象となるメモリセルのソ

- ース領域あるいはドレイン領域のいずれか一方に該領域を半導体基板に対して逆バイアスする極性の第1の電圧を印加する手段と、上記メモリセルの制御ゲート電極に上記第1の電圧とは極性が異なる第2の電圧を印加する手段と、上記第2の電圧を供給する電圧変換回路と、を備えたことを特徴とする不揮発性半導体記憶装置。
2. 半導体基板表面に設けられた膜厚が実質的に一定のゲート絶縁膜と、上記ゲート絶縁膜上に設けられた浮遊ゲート電極と、上記浮遊ゲート電極上に層間絶縁膜を介して形成された制御ゲート電極と、半導体基板内に互いに分離して設けられ、かつ上記ゲート絶縁膜をはさんで上記浮遊ゲート電極と重なり部分を持つソース領域およびドレイン領域と、上記ソース領域とドレイン領域間のチャネル領域とを備えたMISFETの1素子をメモリセルとし、該メモリ素子を複数個マトリックス状に配置したメモリアレイを備えた不揮発性半導体記憶装置であって、
- 上記浮遊ゲート電極に保持した電荷を外部に

取り去る電氣的消去動作を行なう際に、少なくとも上記消去動作の対象となるメモリセルのソース領域あるいはドレイン領域のいずれか一方に該領域を半導体基板に対して逆バイアスする極性の第1の電圧を印加する手段と、上記メモリセルの制御ゲート電極に上記第1の電圧とは極性が異なる第2の電圧を印加する手段とを備え、上記メモリアレイ内の、制御ゲート電極が電氣的に共通に接続されたメモリセルは、同時に電氣的消去動作を行なうことを特徴とする不揮発性半導体記憶装置。

3. 上記電氣的消去動作を行なう際に、上記メモリアレイを分割し、その個々の分割単位内ではメモリセル群の制御ゲート電極を共通化し、それに上記第2の電圧を印加する手段を備えたことを特徴とする第2請求項に記載の不揮発性半導体記憶装置。
4. 半導体基板表面に設けられた膜厚が実質的に一定のゲート絶縁膜と、上記ゲート絶縁膜上に設けられた浮遊ゲート電極と、上記浮遊ゲート

電極上に層間絶縁膜を介して形成された制御ゲート電極と、半導体基板内に互いに分離して設けられ、かつ上記ゲート絶縁膜をはさんで上記浮遊ゲート電極と重なり部分を持つソース領域およびドレイン領域と、上記ソース領域とドレイン領域間のチャネル領域とを備えたMISFETの1素子をメモリセルとし、該メモリ素子を複数個マトリックス状に配置したメモリアレイを備えた不揮発性半導体記憶装置であって、

上記浮遊ゲート電極に保持した電荷を外部に取り去る電氣的消去動作を行なう際に、少なくとも上記消去動作の対象となるメモリセルのソース領域あるいはドレイン領域のいずれか一方に該領域を半導体基板に対して逆バイアスする極性の第1の電圧を印加する手段と、上記メモリセルの制御ゲート電極に上記第1の電圧とは極性が異なる第2の電圧を印加する手段とを備え、かつ、上記メモリアレイの同一列に配置されたメモリセル群のソース領域あるいはドレイン領域のいずれか一方を電氣的に共通化するデ

- 3 -

ータ線群、および同一行に配置されたメモリセル群の制御ゲート電極を電氣的に共通化するワード線群の中から、それぞれ少なくとも1本のデータ線およびワード線を選択し、それらに上記第1の電圧および第2の電圧を印加する手段を備えたことを特徴とする不揮発性半導体記憶装置。

5. 上記第2の電圧を供給する電圧変換回路を備えたことを特徴とする第2請求項乃至第4請求項のいずれかに記載の不揮発性半導体記憶装置。
6. 上記ソース領域とドレイン領域のうち、上記第1の電圧を印加する領域と半導体基板間の接合耐圧が、他の領域と半導体基板間の接合耐圧よりも高いことを特徴とする第1請求項乃至第5請求項のいずれかに記載の不揮発性半導体記憶装置。
7. 上記第1の電圧を印加する領域が1種類の不純物からなる拡散層によって形成されてなることを特徴とする第1請求項乃至第5請求項のいずれかに記載の不揮発性半導体記憶装置。

- 5 -

- 4 -

8. 上記1種類の不純物が砒素であることを特徴とする第7請求項に記載の不揮発性半導体記憶装置。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は電氣的書替機能を備えた不揮発性半導体記憶装置に係り、特に消去動作の単一電源（例えば5V単一の電源）化と信頼性向上を可能にする消去技術に関する。

#### 〔従来の技術〕

不揮発性半導体記憶装置としては、紫外線により情報の消去が可能なEPROM (Erasable and Programmable Read Only Memory)、電氣的に消去が可能なEEPROM (Electrically Erasable and Programmable Read Only Memory)が従来からプログラムやデータ格納用として用いられてきた。

上記のEPROMはメモリセル面積が小さく、大容量化に適しているが、紫外線照射で消去するため密付きパッケージを必要とすること、プログラマによって 込みを行なうため、書込み時にシ

システムから取り外す必要があることなどの問題がある。

一方、EEPROMはシステム内で電氣的に書替が可能であるが、メモリセル面積がEPROMの1.5~2倍程度と大きいので、大容量化には適していない。

そこで最近では両者の中間的な記憶装置として、電氣的一括消去型(フラッシュ)EEPROMと呼ばれるものが開発されている。このフラッシュEEPROMは、チップ一括または或る一纏まりのメモリセルを一括して電氣的に消去する機能を持つ不揮発性半導体記憶装置であり、メモリセル面積はEPROM程度の値を実現できる。

上記のフラッシュEEPROMとしては、例えば特開昭62-276878号において開示されている記憶装置が代表的なものである。

以下、この記憶装置のメモリセルをFAST(Floating Gate Asymmetric Source and Drain Tunnel Oxide)型と呼ぶことにする。

FAST型メモリセルは、EPROMのFAM

OS型と同様の浮遊ゲート型電界効果トランジスタ構造を有しており、1素子で1ビット(1セル)を構成できるため高集積性に優れている。

書込みはFAMOSと同様にドレイン接合近傍で発生させたホットエレクトロンを浮遊ゲート電極に注入することによって行なう。書込みによってメモリセルの制御ゲート電極から見たしきい値電圧は高くなる。

一方、消去は制御ゲート電極を接地し、ソースに正の高電圧を印加することにより、浮遊ゲート電極とソースの間に高電界を発生させ、薄いゲート酸化膜を通したトンネル現象を利用して浮遊ゲート電極に蓄積された電子をソースに引き抜くことによって行なう。消去によって制御ゲート電極から見たしきい値電圧は低くなる。この時、メモリセルが選択トランジスタを持たないため、しきい値電圧が負になること(過消去状態)は致命的な不良となる。

また、読出しはドレインに1V程度の低電圧を印加し、制御ゲート電極には5V程度の電圧を印

- 7 -

加し、この時にながれるチャネル電流の大小が情報の“0”と“1”に対応することを利用して行なう。ドレイン電圧を低電圧にするのは、寄生的な弱い書込み動作を防止するためである。

上記のFAST型メモリセルでは、書込みをドレイン側、消去をソース側で行うため、接合プロファイルは各々の動作に適するように個別に最適化するのが望ましい。上記従来技術では、ソース、ドレイン非対称構造となっており、ドレイン接合では書込み効率を高めるための電界集中型プロファイルを用い、ソース接合では高電圧が印加可能な電界緩和型プロファイルを採用している。

なお、トンネルで浮遊ゲート電極から電子を引き抜いて消去を行なうメモリセルでは、消去電圧を印加する領域(ここではソース領域)と浮遊ゲート電極間の静電容量結合を如何に小さく抑えるかが、セルの微細化と消去動作の低電圧化を両立させる上で重要なポイントとなる。FAST型メモリセルでは容量結合を決める浮遊ゲート電極とソースの重なり領域をソースの拡散によって自己

- 8 -

整合的に形成することにより、その値を低減している。

また、上記の従来技術以外のチップ一括消去型メモリとしては、次のようなものがある。

まず、V.N.Kynettらは、IEEE主催1989年国際固体回路会議の論文集140頁~141頁(IEEE Int.Solid-State Circuits Conference, Digest of Technical Papers, p.140-141, Feb., 1989)において、上記FAST型と同様の原理のメモリセルを用いたチップ一括消去型の1MbフラッシュEEPROMを開示している。メモリセル面積は $15.2\mu\text{m}^2$ (設計ルール $1.0\mu\text{m}$ )、書込み及び消去の動作電圧は12Vであり、微細セルでの低電圧動作が実現されている。しかし、この装置においては、書替には $V_{cc}(5\text{V})$ と $V_{pp}(12\text{V})$ の2電源を外部に必要とする。これは後述するように、書替動作時の消費電流が大きく、オンチップの昇圧電源を利用できないためである。

また、S.D'Arrigoらは、IEEE主催1989年国際固体回路会議の論文集132頁~133頁

(IEEE Int. Solid-State Circuits Conference, Digest of Technical Papers, p.132-133, Feb., 1989)において、同じくチップ一括消去型の256kbitフラッシュEEPROMを開示している。この装置では、いわゆるFLOTOX型のメモリセルを用いて、オンチップ昇圧電源による5V単一電源動作を実現している。すなわち、①消去に加えて書込みにも電子のトンネル現象を利用していること、および②上記トンネルで用いるゲート酸化膜が薄い領域をドレイン高濃度拡散層上に限定していることにより、書替動作の消費電流低減を可能にしている。このメモリのもう一つの特徴は、消去動作で制御ゲート電極に負電圧を印加していることである。これにより、ドレイン拡散層に印加する電圧を5V程度に低減し、接合耐圧に対する余裕を高めている。しかし、この装置においては、トンネル領域が自己整合化されておらず、また、パスゲート(pass gate)と呼ばれる選択トランジスタがセル内に含まれていることから、セルの微細性と低電圧動作の面ではFAST

型に劣る。

【発明が解決しようとする課題】

上記のようにFAST型メモリセルは種々の利点を有する有望な素子であるが、以下に述べるの三つの問題点がある。

第1の問題点は、消去動作を行なう際、ソースから半導体基板に寄生的なリーク電流が流れることである。これは、ゲート酸化膜が浮遊ゲート電極全面にわたって薄膜化されていることに起因した、FAST型メモリセルに特有のリーク電流である。すなわち、消去動作に必要な高電界(10MV/cm程度)をゲート酸化膜に印加すると、その下のソース領域表面ではバンド間トンネルによる電子、正孔対が発生する。この正孔が基板側に流れ出すのを防止することができないため、大きなリーク電流が流れる。なお、前記のFLOTOX型メモリセルでは、高濃度拡散層端部でゲート酸化膜が厚膜化されているため、正孔は基板側へ流出せず、リーク電流は生じない。

上記のごときリーク電流の存在はチップ一括消

- 11 -

去動作の消費電流を増加させるため、チップ外から供給される読出し動作用のVcc電源(通常5V電源)以外に消去動作用の外部電源が必要となる。

第2の問題点は、書替を繰り返すとプログラムディスターブに対する耐性が著しく劣化し、アレイ動作の信頼性確保が困難になることである。プログラムディスターブとは、メモリセルの制御ゲート電極にのみ書込み高電圧が印加されるワード線半選択状態でしきい値電圧が変化する現象である。

G.VermaらはIEEE主催1988年国際リライアビリティ・フィジックス・シンポジウム(IEEE 1988 Int. Reliability Physics symposium, pp.158-166.)において、上記のプログラムディスターブ耐性の劣化現象について報告している。それによれば、プログラムディスターブ耐性の劣化は、消去動作によってゲート酸化膜中に正の捕獲電荷が形成され、これがプログラムディスターブの原因となる電子のトンネル注入を加速することによって引き起こされる。正の捕獲電荷形成は、

- 12 -

消去動作時にバンド間トンネルで発生した正孔がソース、基板間の高電界からエネルギーを得てホットホールとなり、極めて値かずつではあるがゲート酸化膜中に注入、捕獲されることに起因すると考えられている。

上記プログラムディスターブ耐性の劣化現象は、メモリアレイをワード線と直交する方向のいくつかのブロックに分割し、そのブロックごとに書替動作を行なう場合に一層厳しい制約となる。ブロック分割を考えない場合は、メモリセルがプログラムディスターブにさらされる時間は同一ワード線上のほかのメモリセルに1回ずつ書込みを行なう総和の時間でよい。これに対し、上記ブロック分割を考えると、あるブロックに書込みを行なった後、他のブロックの書替を繰り返す場合には、ほぼ書替回数倍だけこの時間が長くなる。

最後に第3の問題点は、消去動作をビット線単位で行なうことが原理的に不可能なことである。FAST型メモリセルはスイッチMOSを持たない1素子型メモリセルであるため、消去の高電圧

をソース線に印加すると、このソース線に接続されたメモリセルは全て同時に消去されてしまう。ソース線をデコードしても、ソース線単位でのブロック消去が可能になるに過ぎない。

本発明は上記のごとき従来技術の問題点を解決するためになされたものであり、

本発明の第1の目的は、上記FAST型メモリセルを用いた不揮発性半導体記憶装置であって、消去動作に専用の外部電源を必要としない、すなわち、通常は読出し書き込み動作に用いられるVcc単一電源（例えば5V電源）で消去動作も行なうことの出来る不揮発性半導体記憶装置を提供することにある。

本発明の第2の目的は、上記FAST型メモリセルを用いた不揮発性半導体記憶装置であって、プログラムディスタ urbに影響されにくく、しかもブロック単位での電気的消去を実現するのが容易な不揮発性半導体記憶装置を提供することにある。

本発明の第3の目的は、上記FAST型メモリ

セルを用いた不揮発性半導体記憶装置であって、消去動作をビット単位で行なうことが可能な不揮発性半導体記憶装置を提供することにある。

【課題を解決するための手段】

上記の目的を達成するため、本発明においては、特許請求の範囲に記載するように構成している。

すなわち、前記第1の目的を達成するためには、FAST型メモリセルを用いた不揮発性半導体記憶装置で一括消去動作を行なう際、各メモリセルのソース領域（あるいはドレイン領域）に印加する電圧を上記不揮発性半導体記憶装置のVcc電源（チップ外から供給され、通常は読出し動作に用いられる電源、以下同じ）から供給するとともに、各メモリセルの制御ゲート電極に上記Vcc電源とは逆極性の消去電圧を印加し、かつ、その消去電圧を上記不揮発性半導体記憶装置内の電圧変換回路（昇圧回路）から供給するように構成している。なお、上記の逆極性の消去電圧の値は、メモリセルの構造定数および特性によって定まる値であるが、例えばVcc～2Vcc程度の値である。

- 15 -

次に、前記第2の目的は、上記第1の目的を達成する手段を用いると共に、同じワード線に接続されたメモリセルは同一ブロックに属するようにワード線方向にブロック分割を行なうことによって実現される。

次に、前記第3の目的は、上記第1の目的を達成する手段において消去電圧を印加するソース線（あるいはデータ線）とワード線をデコードし、選択された一対のソース線（あるいはデータ線）とワード線の交点にあるメモリセルでのみ消去動作が行なわれるようにすることによって実現される。

次に、上記のごとき本発明を実現する手段に対応したメモリアレイ動作の代表的な例の回路図及び各部の動作電圧を第1図(a)～(c)に示す。

この例では、メモリアレイM-ARRAYは、3行3列に配置されたFAST型メモリセル（nチャネル）M1～M9からなり、ワード線W1～W3、データ線D1～D3、共通ソース線CSを介して動作を行なう。

- 16 -

まず、第1図(a)は、メモリアレイM-ARRAY全体を一纏まりとして一括で消去動作を行なう場合を示す。

この場合には、全てのワード線W1～W3に負の消去電圧-7Vを印加するとともに、共通ソース線CSに正の消去電圧+5Vを印加する。共通ソース線CSの+5Vは装置外部のVcc電源から、ワード線の-7Vは装置内部の電圧変換回路から供給する。この時、基板及びデータ線は接地電位とする。なお、書き込み、読出し動作は従来の2電源方式のチップ一括消去型フラッシュEEPROMと同様、データ線とワード線をデコードし、交点のメモリセルを選択して行なう。

次に、第1図(b)は、図中に破線で囲んだように同じワード線に接続されたメモリセル群MB1、MB2、MB3をそれぞれ一纏まりのメモリブロックとして取り扱い、消去動作を行なう場合を示す。すなわち、同一ワード線に接続されたメモリセル群を選択的に消去するものである。

この場合には、負の消去電圧-7Vを印加する

ワード線をデコードすることにより、消去を行なうメモリブロックを選択する。他は第1図(a)の場合と同様である。

次に、第1図(c)は、メモリアレイM-ARRAYの中の前任意の1ビットを選択して消去動作を行なう場合を示す。

この場合には、負の消去電圧 $-7V$ を印加するワード線をデコードすると共に、正の消去電圧 $5V$ はデータ線から印加し、かつこれをデコードすることにより、選択されたワード線とデータ線の交点にあるメモリセルで選択的に消去が行なわれる。この時、基板及び共通ソース線は接地電位とする。

なお、書き込みは共通ソース線及び選択ワード線に書き込み電圧を印加すると共に、選択データ線を接地することによって行なう。交点にあるメモリセルでソース領域側からホットエレクトロン注入が起こり、書き込み動作が実現される。この時、非選択データ線は1本ごとに分離して開放状態とし、非選択ワード線は接地電位とする。また、読出し

動作は従来の2電源方式のチップ一括消去型フラッシュEEPROMと同様に、データ線とワード線をデコードし、交点のメモリセルを選択して行なう。

#### 【作用】

上述した手段によれば、以下の作用により所期の目的が実現される。

まず、各メモリセルのソース領域あるいはドレイン領域に $V_{cc}$ 電源を印加し、制御ゲート電極に $V_{cc}$ 電源とは逆極性の消去電圧を印加するように構成し、かつ上記の消去電圧を記憶装置内に設けた電圧変換回路から供給するように構成したものである。

すなわち、FAST型メモリセルを用いた不揮発性半導体記憶装置で一括消去動作を行なう際、大きなリーク電流(例えば1Mbitで数10mA)が流れるソース領域は $V_{cc}$ 電源で直接駆動する。この時、消去速度の低下を防ぐには制御ゲート電極に $V_{cc}$ 電源とは逆極性の消去電圧を印加する必要があるが、同電極には消去に直接寄与する

- 19 -

微小なトンネル電流(例えば1Mbitで $10\mu A$ 程度)しか流れないので、上記不揮発性半導体記憶装置内に設けた電圧変換回路(昇圧回路)で駆動することができる。このようにして、消去速度を犠牲にすることなく、 $V_{cc}$ 単一電源によるチップ一括消去動作を実現することが可能となる。

次に、上記の構成に加えて、同じワード線に接続されたメモリセルは同一ブロックに属するようにワード線方向にブロック分割を行うように構成したものである。

すなわち、本発明においては、メモリセルのソース領域に印加する消去電圧を従来の $V_{pp}$ 電圧(例えば12V程度)から $V_{cc}$ 電圧(例えば5V程度)まで低減しているため、第2図に示すように、バンド間トンネルで発生した正孔がソースと基板間の電界でホットホールとなってゲート酸化膜中に注入、捕獲される現象を著しく抑制することができる。また、同一ワード線に接続されたメモリセルは必ずまとめて書き換えられるため、個々のセルが経験するプログラムディスタurb時間

- 20 -

は同一ワード線上の他のメモリセルの書き込みを行なうのに必要な時間の和を考えればよく、書き換え回数に依存してディスタurb時間が増加する現象は回避される。このようにして、プログラムディスタurb耐性に優れ、しかもブロック単位での電気的消去が可能な不揮発性半導体記憶装置が実現される。

次に、消去電圧を印加するソース線(あるいはデータ線)とワード線をデコードし、選択された一対のソース線(あるいはデータ線)とワード線の交点にあるメモリセルのみで消去動作を行うように構成したものである。互いに異なる極性の消去電圧が印加されるソース線(あるいはデータ線)とワード線をそれぞれデコードすることにより、交点にあるメモリセルで選択的に消去動作を行なうことができる。この時、消去を支配する電子のトンネル現象が酸化膜の電界強度に強く依存するため、データ線、ワード線のいずれか一方のみが選択される半選択メモリセルでは実質的に消去が起こらないようにすることが出来る。

## 【実施例】

## 実施例 1

本発明の第 1 の実施例を第 3 図～第 12 図を用いて説明する。

第 3 図は本実施例による不揮発性半導体記憶装置の内部ブロック図、第 4 図は本実施例で用いる FAST 型メモリセル 4 ビット分の平面図、第 5 図は上記平面図の A-A' 断面図 (2 ビット分)、第 6 図は同じく B-B' 断面図 (2 ビット分)、第 7 図は消去電圧印加回路 ED の回路構成図、第 8 図は消去動作で制御ゲートに負の電圧を印加する負電圧印加回路 NEG の回路構成図、第 9 図は本実施例におけるプログラムディスタープ耐性向上の効果を示す特性図、第 10 図はもう一つの負電圧印加回路 XDCRN の回路構成図、第 11 図は上記 XDCRN により印加された負電圧をリセットするワード線リセット回路構成図、第 12 図は上記 XDCRN を実現するための多重ウェル構造の断面図である。

本実施例の回路素子は、特に制限されないが公

知の CMOS (相補型 MOS) 集積回路の製造技術により、1 個の単結晶シリコンのような半導体基板上において形成される。また、特に制限されないが、集積回路は単結晶 p 型シリコンからなる半導体基板上に形成される。

n チャネル MOSFET は、上記のごとき半導体基板表面に形成されたソース領域、ドレイン領域及び上記ソース領域とドレイン領域間のチャンネル上に薄いゲート絶縁膜を介して形成されたポリシリコンのようなゲート電極から構成される。

また、p チャネル MOSFET は、上記半導体基板表面に形成された n 型ウェル領域に形成される。これによって、半導体基板はその上に形成された複数の n チャネル MOSFET の共通の基板ゲートを構成し、回路の接地電位が供給される。また、p チャネル MOSFET の共通の基板ゲート、すなわち n 型ウェル領域は電源電圧  $V_{cc}$  に接続される。

なお、集積回路は単結晶 n 型シリコンからなる半導体基板上に形成してもよい。この場合、n チ

- 23 -

ャネル MOSFET は p 型ウェル領域に形成される。

本実施例のメモリセルは、特に制限されないが p 型半導体基板上に形成される。第 4 図はその 4 ビット分の平面構造、第 5 図は A-A' 部の断面構造、第 6 図は B-B' 部の断面構造を示す。

第 4 図～第 6 図において、21 は p 型半導体基板、22 は p 型半導体基板の主面側に形成された薄いゲート酸化膜 (トンネル酸化膜)、23 は浮遊ゲート電極、24 は第 1 の層間酸化膜、25 は制御ゲート電極、26 は n+ 型半導体領域 (ドレイン領域)、27 は p+ 型半導体領域 (ドレインシールド層)、28 は n+ 型半導体領域 (ソース領域の一部)、29 は n 型半導体領域 (ソース領域の一部)、30 は第 2 の層間酸化膜、31 はコンタクトホール、32 はアルミニウムのデータ線、33 は LOCOS 法による素子分離用のフィールド酸化膜、34 は p+ 型半導体領域からなる寄生チャンネル防止用のチャンネルストッパ、35 は LOCOS 法による素子分離領域と活性領域の境界線

である。

上記のゲート酸化膜 22 は、半導体基板 11 の表面を熱酸化することによって形成された酸化シリコン膜からなり、その膜厚は 10 nm 程度である。

また、第 1 の層間酸化膜 24 は、多結晶シリコン膜からなる浮遊ゲート電極 23 の表面を熱酸化することによって形成された酸化シリコン膜からなり、その膜厚は 20 nm 程度である。

また、制御ゲート電極 25 は、浮遊ゲート電極 23 と同様多結晶シリコン膜からなり、第 1 の層間酸化膜の表面に被着されて、浮遊ゲート電極 23 の電位を静電容量結合によって制御する動きをする。この制御ゲート電極 25 および浮遊ゲート電極 23 のチャンネル方向の端部は一回のパターンニング工程で同時に加工されており、そのゲート長は  $0.7 \mu m$  である。また、制御ゲート電極 25 はワード線 WL と一体になっており、素子分離領域 33 上に延在している。

また、n+ 型半導体領域 26 から構成されるド

レイン領域は、コンタクトホール31を介してアルミニウムからなるデータ線32に接続されている。このn+型半導体領域26の接合深さは、コンタクトホール31の直下部分を除いて0.1 $\mu$ m程度であり、コンタクトホール31の下の接合深さは、そのほかの部分より深く、0.2 $\mu$ m程度である。

また、上記のドレイン領域を取り囲むように、p+型半導体領域（ドレインシールド領域）27が形成されており、熱平衡状態でのしきい値電圧設定、書き込み動作でのチャネルホットエレクトロン注入効率向上、及び消去動作時のパンチスルー防止を実現している。このp+型半導体領域27の不純物濃度は、n+型半導体領域26との接合面において $5 \times 10^{17} / \text{cm}^2$ 程度であり、その深さは半導体基板21の表面から0.25 $\mu$ m程度である。

また、ソース領域は砒素(As)を不純物とするn+型半導体領域28と燐(P)を不純物とするn型半導体領域29からなり、ワード線WLが延在

している方向に延在して後述するソース線SLを構成している。このn+型半導体領域28の接合深さは0.2 $\mu$ m程度である。またn型半導体領域29は、n+型半導体領域28とp型半導体基板21との間に介在するように形成されており、その傾斜プロファイルによってソースと半導体基板間の接合耐圧を高める働きをしている。このn型半導体領域29の不純物濃度は、n+型半導体領域28との界面において $1 \times 10^{19} / \text{cm}^2$ 程度、その接合深さは0.35 $\mu$ m程度であり、この時の接合耐圧は15Vを超える。

また、第2の層間酸化膜30は、燐珪酸ガラス(PSG)膜からなり、p型半導体基板21の主面上を覆っている。

また、ドレイン領域上の第2の層間酸化膜30およびゲート酸化膜12を部分的に除去して、コンタクトホール31が形成されている。

なお、第5図および第6図では省略しているが、アルミニウムのデータ線32上には、CVD法によって形成したPSG膜およびその上の窒化シリ

- 27 -

コン膜からなる保護膜が設けられている。

次に、第3図を用いて、上記FAST型メモリセルをマトリクス状に配置したメモリアレイと周辺回路からなる本実施例の不揮発性半導体記憶装置の内部ブロックとその動作を説明する。

メモリアレイMEM-ARRAYは、代表として例示的に4行4列に配置されたFAST型メモリセルからなり、メモリセルM1~M16とワード線W1~W4及びデータ線D1~D4とによって構成されている。この実施例では全体として一つのメモリブロックを構成している。

上記のメモリアレイにおいて、同じ行に配置されたメモリセルの制御ゲートはそれぞれ対応するワード線に接続され、同じ列に配置されたメモリセルのドレインはそれぞれ対応するデータ線に接続されている。またメモリセルのソースは一括して共通のソース線CSに結合されている。

なお、特に制限されないが、8ビットあるいは16ビット単位で書き込み・読出しを行なうため、上記メモリアレイは合計で8組あるいは16組設

- 28 -

けられるように構成される。

上記のメモリアレイを構成する各データ線D1~D4はアドレスデコーダYDCRを介して共通データ線CDに接続される。共通データ線CDには、外部入力端子I/Oから入力される書き込み信号を受ける書き込み用データ入力回路DIBの出力端子が、書き込み時にオンとなるMOSFET Q5を介して接続される。

さらに、この共通データ線CDにはセンスアンプSAが接続される。センスアンプSAの出力端子はデータ出力バッファDOBを介してI/O端子に接続される。

なお、他のメモリアレイに対しても、同様にアドレスデコーダ、共通データ線、センスアンプ及びデータ入出力回路が設けられ、I/O端子に接続される。

また、上記メモリアレイを構成する各ワード線W1~W4は、読出し及び書き込み動作でワード線を選択するアドレスデコーダXDCRにトランジスタQ1~Q4を介して接続されるとともに、消



去時に負の電圧を印加する負電圧印加回路NEGに接続されている。

トランジスタQ1～Q4はデプレッション型のPMOSFETであり、消去時にワード線にかかる負の電圧がアドレスデコーダ回路に印加されるのを防ぐ役割をしている。同時に読出し及び書き込み動作時には、これらのトランジスタでの電圧降下、速度低下を防ぐためデプレッション型としている。

また、共通ソース線CSは消去電圧印加回路EDに接続されている。この消去電圧印加回路EDは、消去時に正の電圧（ここでは外部電源電圧であるVcc）を印加する一方、読出し及び書き込み動作時には共通ソース線CSを回路の接地電位0Vに接続する。

まず、読出し動作ではアドレスデコーダ回路XDRC、YDCRが活性化され、1つのワード線、1つのデータ線が選択される。アドレスデコーダ回路XDRC、YDCRにはその動作電圧として低電圧Vccが供給される。メモリセルは予め書き

込まれたデータに従ってワード線の選択レベルに対して高いしきい値か、低いしきい値を持つものである。各アドレスデコーダXDRC、YDCRによって選択されたメモリセルのしきい値が高い場合、ワード線が選択レベルにされているにもかかわらずメモリセルはオフ状態にとどまる。一方、選択されたメモリセルのしきい値が低い場合は、ワード線選択レベルによってメモリセルはオン状態になる。メモリセルのしきい値に対応して共通データ線に流れる電流の有無は、スイッチMOSFETQ6を介して接続されたセンスアンプSAで検出、増幅され、読出しモードで活性化されるデータ出力バッファDOBを通して外部端子I/Oから出力される。

次に、書き込み動作では、読出しと同様にアドレスデコーダ回路XDRC、YDCRが活性化され、1つのワード線、1つのデータ線が選択される。

アドレスデコーダ回路XDRC、YDCRには、その動作電圧として高電圧Vppが供給され、データ入力回路DIBには低電圧Vccがそれぞれ供給

- 31 -

される。このときMOSFETQ6はオフとされ、データ出力バッファDOB、センスアンプSAは非活性化される。また、選択されたワード線はその電圧が上記高電圧Vppになる。同じく選択されたデータ線はMOSFETQ5、DIBを介して上記低電圧Vccに接続される。これにより、その交点にあるメモリセルでは浮遊ゲートにホットエレクトロンが注入され、書き込みが行なわれる。書き込まれた状態のメモリセルはその浮遊ゲートに電子が蓄積され、制御ゲートから見たしきい値電圧が高くなる。本実施例の記憶装置では、メモリセルのゲート長が $0.7\mu\text{m}$ に微細化されていることと、第5図に示したp+型半導体領域（ドレインシールド領域）27導入の効果によってホットエレクトロン注入効率が高いため、データ線駆動用電圧として上記低電圧Vcc電圧を用いることができる。上記Vcc電圧を記憶装置外部のVcc電源から供給するとともに、流れる電流が小さいワード線のVpp電圧に関しては装置内部の昇圧回路を用いて上記Vcc電圧から発生させることにより、

- 32 -

Vcc単一電源による書き込み動作が可能となっている。

上記の読出し及び書き込み動作を正常に行なうためには、メモリセルがデプレッション状態であってはいけな。デプレッション状態のセルがあるとそこで意図しないリーク電流が流れてしまうため、所望のメモリセルを選択することができなくなる。このことは、後述する消去動作において制御性が重要なことを意味している。

次に、本実施例の特徴である消去動作について説明する。

本実施例における消去動作は、メモリセルの制御ゲートに負の電圧、ソースに正の電圧（ここでは外部電源電圧であるVcc）を印加して、この正負電圧の電位差によって浮遊ゲートに保持されている電子をファウラー・ノルトハイム・トンネル放出によってソース領域へ引き抜く方式で行なわれる。消去電圧印加回路ED、負電圧印加回路NEGにはその動作電圧として電源電圧Vccが供給される。

消去電圧印加回路EDは、第7図に示すごとく消去パルス $\overline{EP}$ を入力とするインバータ回路であり、共通ソース線CSには上記の電源電圧 $V_{cc}$ が印加される。

また、ワード線W1～W4には負電圧印加回路NEGから負の消去電圧が印加される。

また、第8図は負電圧印加回路NEGの回路構成を示している。この回路は、いわゆるチャージポンプ回路である。

第8図において、消去信号 $\overline{EP}$ がロウレベルにされると遅延回路D3で決められた時間経過後、信号 $\overline{EPDL\bar{Y}}$ がロウレベルにされ、デコーダ切り離し信号SETがハイレベルとなる。これにより、アドレスデコーダ回路XDCRはワード線から電気的に切り離される。次に、発振器OSC2が発振を開始し、相補的パルス信号PU1とPU2が発生し、これを利用してチャージポンプの原理によって負電圧 $V_{ppn}$ を発生する。これをさらにPU1を用いて同じくチャージポンプに従ってワード線W1～W4に印加する。消去信号 $\overline{EP}$ が

ハイレベルにされるとパルス信号PU1とPU2は停止するが、信号 $\overline{EPDL\bar{Y}}$ がハイレベルとなるまでの期間は負電圧リセット信号PRSTとERSTが負電位の節点を0Vないし正の電圧とし、消去を停止する。

消去動作時にワード線に流れる電流は小さいため、上述のように装置内部の負電圧印加回路NEGによって消去に必要な負電圧を外部の電源電圧 $V_{cc}$ から発生させ、これをワード線に供給することができる。一方、多量のリーク電流が流れる共通ソース線CSに印加する低電圧 $V_{cc}$ には外部から与えられる電源電圧 $V_{cc}$ を用いる。こうすることにより、メモリアレイ全体をまとめて消去する電気的一括消去動作を、 $V_{cc}$ 単一電源で行なうことができる。

なお、消去動作時のデータ線D1～D4は、アドレスデコーダYDCRで接地電位0Vに落としてもよいし、あるいは開放状態にしてもよい。これは、制御ゲートに大きな負電圧を印加して消去を行なう本発明の消去方式では、消去が進行して

- 35 -

もメモリセルのソースからドレインに流れる寄生的なチャネル電流を考慮する必要がないためである。また、制御ゲートを接地した従来の消去方式で問題となるチャネル電流起因の寄生効果については、特願昭62-141486号において開示されている。

次に、第9図は、プログラムディスタープ寿命が書替サイクルによって低下する状況を、従来技術と本実施例とで比較した特性図である。

ソースに高電圧 $V_{pp}$ を印加して消去を行なう従来技術では、 $10^4$ 回書替後のプログラムディスタープ寿命は書替前の初期特性に比べて3～4桁も低下している。これに対して、ソース電圧を $V_{cc}$ まで下げて消去することが出来る本実施例では寿命低下は半桁程度であり、書替の影響をほぼ問題のないレベルまで抑制することが出来ることがわかる。

なお、プログラムディスタープ寿命はワード線半選択状態におかれたメモリセルのしきい値電圧が0.1V上昇するまでの時間で定義している。

- 36 -

次に、上記の実施例では、行デコーダ回路XDCRと負電圧印加回路NEGとを別々の回路で構成しているが、本発明はこれに限定されるものではない。例えば、第10図に示すように一つの回路XDCRNを用いて構成してもよい。この回路は行デコーダ回路XDCRのように行アドレスバッファ回路とワード線の間に設けられる。この場合、消去時には最終段インバータ回路INV1とその前段のインバータ回路INV2のn型MOSFETのソースを負電圧電源 $V_{ppn}$ に接続する。また、読出し、書込み時には接地電位 $V_{ss}$ とする。ただし、消去終了時のリセットは先の場合と同様にする必要がある。このためのリセット回路を第11図に示す。なお、上記回路XDCRNは行デコーダ回路と一体になっており、行アドレスバッファ回路のa0、 $\overline{a0}$ 、a1、 $\overline{a1}$ 出力をうけて任意のワード線一本に選択的に消去電圧が印加される。この結果、消去動作はそれぞれのワード線に接続されたメモリセル群をメモリブロックとして、ワード線単位で行われる。

ここで、FAST型メモリセルは通常p型基板上に形成され、基板電位は接地電位とする。したがって上記回路XDCRNを実現するためには、第12図に示すように最終段インバータ回路INV1とその前段のインバータ回路INV2のn型MOSFETをn型ウェル内に設けられたp型ウェル内に形成し、このp型ウェルを負電圧電源Vppnに接続すれば良い。もちろん、n型基板を用いる場合には通常の回路と同様にp型ウェルを形成し、このp型ウェルを負電圧電源Vppnに接続すれば良い。ここで、101はp型半導体基板、102はn型ウェル領域、103は上記n型ウェル領域102内に設けられ、p型半導体基板101とは分離されたp型ウェル領域、104はp型半導体基板101を接地電位Vssに接続するためのp+型半導体領域、105はn型ウェル領域102を接地電位Vssに接続するためのn+型半導体領域、106はp型ウェル領域103を消去動作時には負電圧電源Vppnに接続し、書き込み読み出し動作時には接地電位Vssに接続するためのp+

- 39 -

る。一方、ソース・基板間の接合耐圧は12V程度まで低下するが、ソースに印加する電圧をVccに下げて消去ができる本発明では何ら問題にならない。

以上述べたメモリセルのソース構造の違いを除けば、本実施例の記憶装置は実施例1と同じであり、同様に動作する。

#### 実施例3

本発明の第3の実施例を第14図～第16図を用いて説明する。

第14図は本実施例による不揮発性半導体記憶装置の内部ブロック図であり、実施例1の第3図に相当するものである。ここで、メモリセルとしては実施例1あるいは実施例2と同じFAST型メモリセルを用いている。

本実施例による不揮発性半導体記憶装置の動作は実施例1あるいは実施例2と本質的に同じであるが、消去動作がメモリアレイM-ARRAYをワード線方向に分割したメモリブロックを単位として行なわれる点異なる。ここでは、メモリア

レイはワード線W1、W2に接続されたメモリセル群M1～M8からなるメモリブロックMB1と、ワード線W3、W4に接続されたメモリセル群M9～M16からなるメモリブロックMB2との2つのブロックに分割されている。

#### 実施例2

本発明の第2の実施例を第13図を用いて説明する。

第13図は本実施例の不揮発性半導体記憶装置で用いるFAST型メモリセル2ビット分の断面図（前記第4図のA-A'部）であり、実施例1の第5図に相当するものである。

ここで用いられているメモリセルは、ソース領域に燐(P)を不純物とするn型半導体領域29が無いことを除けば、実施例1の第5図のメモリセルと全く同じ構造である。上記n型半導体領域を省いたことにより、ソース領域と浮遊ゲート間の静電容量が消去動作時でおよそ60%に低減され、消去の更なる低電圧化あるいは高速化が実現され

- 40 -

レイはワード線W1、W2に接続されたメモリセル群M1～M8からなるメモリブロックMB1と、ワード線W3、W4に接続されたメモリセル群M9～M16からなるメモリブロックMB2との2つのブロックに分割されている。

第15図は負電圧印加回路NEGの回路構成を示している。実施例1の第8図とはメモリブロックを選択するためのデコード機能が内蔵されている点異なる。すなわち、第15図の負電圧印加回路NEGでは、消去動作を行なうメモリブロックに対応したワード線だけに負電圧Vppnが印加され、非選択ワード線には接地電圧0Vが印加される。

上記メモリブロックを選択するのに、本実施例では第16図に示すようにアドレスバッファ回路ADBの行選択用外部入力の一つであるA1を用いている。さらに、アドレスバッファ回路ADBのうちA0入力部および行デコーダXDCRは消去電圧印加時にもメモリブロックの選択が行なえるようになっている。すなわち、a0、a0共に

- 41 -

- 42 -

ロウレベルとなり、A1アドレス入力によって決まる2本のワード線出力WI1とWI2、あるいはWI3とWI4がハイレベルとなる。このWI1～WI4は負電圧印加回路NEGに供給される。しかし、トランジスタQ1～Q4の働きにより、消去時にはデコーダ回路の出力はワード線W1～W4には印加されない。

なお、非選択メモリブロック内のメモリセルは、共通ソース線を介してソース領域にのみ正の電圧（ここでは外部電源電圧であるVcc）が印加される消去半選択状態となるが、これにともなうディスタブ現象は、選択ワード線に印加する負電圧Vppnとゲート/層間酸化膜厚の適切な設定によって回避することが出来る。

#### 実施例4

本発明の第四の実施例を第17図～第19図を用いて説明する。

第17図は本実施例による不揮発性半導体記憶装置の内部ブロック図であり、実施例1の第3図、実施例3の第14図に相当するものである。第1

8図は負電圧印加回路NEGの回路構成図であり、実施例1の第8図、実施例3の第15図に相当するものである。第19図は本実施例の不揮発性半導体記憶装置で用いるFAST型メモリセル2ビット分の断面図（第4図のA-A'部）であり、実施例1の第5図、実施例2の第13図に相当するものである。

本実施例は、実施例1～実施例3と本質的な動作上の差はないが、電氣的消去を行う際、Vcc電圧がソース線ではなくデータ線に印加されると共に、このデータ線及び負の消去電圧を印加するワード線がそれぞれデコードされる点が異なる。これにより、一对の選択データ線と選択ワード線の交点にあるメモリセル1ビットが選択的に消去される。以下、実施例1～実施例3との違いのみを述べる。

第17図に示すように、本実施例では消去時に消去信号EPがハイレベルにされると、MOSTランジスタQ7がオン状態となり、このQ7を介して正の電圧（ここでは外部電源電圧であるVcc）

- 43 -

が共通データ線CDに印加される。この時、MOSTランジスタQ51は書き込み信号 $\overline{wr}$ がハイレベルにあるため、オフ状態となる。また、MOSTランジスタQ52も同様にオフとなり、共通ソース線CSは開放状態となる。消去動作は制御ゲートの負電圧とドレインの上記正電圧との電位差で行なわれ、浮遊ゲートの電子はソースではなくドレイン領域に引き抜かれる。上記正電圧を印加するデータ線は列アドレスデコーダYDCRによって選択される。一方、第18図に示すように、負電圧印加回路NEGは行選択用外部入力A0、A1から形成された信号WI1～WI4を用いて任意のワード線を選択するデコード機能を内蔵している。こうして、一对のデータ線とワード線が選択され、その交点にあるメモリセルが選択的に消去される。

ホットエレクトロン注入を用いた書き込み動作は反対にソース領域側から行なわれる。第17図に示すように、書き込み時には書き込み信号 $\overline{wr}$ がロウレベルとなるため、外部入力信号I/Oに応じて

- 44 -

MOSTランジスタQ51、Q52がオン、オフされる。外部入力信号I/Oがロウレベル（“0”状態）の時、MOSTランジスタQ51、Q52は共にオン状態となり、共通ソース線CSは書き込みVcc電圧に接続され、共通データ線CDは接地電位Vssに接続される。この時、列アドレスデコーダYDCRによって選択データ線は共通データ線CD（接地電位）に接続され、一方、非選択データ線は開放状態にされる。また、ワード線に関しては、行アドレスデコーダXDCRによって選択ワード線にはVpp電圧が印加され、一方、非選択ワード線は接地電位に保たれる。こうして、選択データ線と選択ワード線の交点にあるメモリセルでホットエレクトロン書き込みが行われる。

なお、本実施例ではスイッチMOSTランジスタQ51、Q52の両方のゲートに外部入力信号I/Oと $\overline{wr}$ のNOR出力が入っているが、いずれか一方は単に $\overline{wr}$ の反転信号が入力される構成でも良い。

次に、第19図は、本実施例で用いているFA

ST型メモリセル2ビット分の断面図である。同図において、51はp型半導体基板、52はp型半導体基板の主面側に形成された薄いゲート酸化膜(トンネル酸化膜)、53は浮遊ゲート電極、54は第一の層間酸化膜、55は制御ゲート電極、56はn+型半導体領域(ドレイン領域の一部)、57はn型半導体領域(ドレイン領域の一部)、58はn+型半導体領域(ソース領域)、59はp+型半導体領域(ソースシールド層)、60は第二の層間酸化膜、61はコンタクトホール、62はアルミニウムのデータ線である。

この実施例では、書き込みをソース側、消去をドレイン側から行なうため、ソース接合がn+/p+の電界集中型、ドレインがn+/n/pの電界緩和型になっている点が前記実施例1~実施例3の場合と異なる点である。

#### 【発明の効果】

本発明によれば、Vcc単一電源による電氣的消去が可能であり、かつ書替信頼性と集積度に優れた不揮発性半導体記憶装置を実現することが出来

る、という優れた効果が得られる。

#### 4. 図面の簡単な説明

第1図は本発明の原理を説明するための回路図および動作電圧を示す図、第2図は本発明と従来例におけるエネルギーバンドを示す図、第3図は実施例1の不揮発性半導体記憶装置の内部ブロック図、第4図は実施例1で用いているFAST型メモリセル4ビット分の平面図、第5図は上記平面図A-A'断面図(2ビット分)、第6図は同じくB-B'断面図(2ビット分)、第7図は実施例1の消去電圧印加回路EDの回路構成図、第8図は消去動作で制御ゲートに負の電圧を印加する実施例1の負電圧印加回路NEGの回路構成図、第9図は実施例1におけるプログラムディスターブ耐性向上の効果を示す特性図、第10図はもう一つの負電圧印加回路XD CRNの回路構成図、第11図は上記XD CRNによって印加された負電圧をリセットするワード線リセット回路構成図、第12図は上記XD CRNを実現するための多重ウェル構造の断面図、第13図は実施例2

- 47 -

で用いているFAST型メモリセル2ビット分の断面図(第4図のA-A'部)、第14図は実施例3の不揮発性半導体記憶装置の内部ブロック図、第15図は実施例3の負電圧印加回路NEGの回路構成図、第16図は実施例3のアдресバッファ回路ADBの回路構成図、第17図は実施例4の不揮発性半導体記憶装置の内部ブロック図、第18図は実施例4の負電圧印加回路NEGの回路構成図、第19図は実施例4で用いているFAST型メモリセル2ビット分の断面図(第4図のA-A'部)である。

#### 〈符号の説明〉

XDCR…行アドレスデコーダ  
YDCR…列アドレスデコーダ  
M1~M16…メモリセル  
M-ARRAY…メモリアレイ  
MB1~MB2…メモリブロック  
W1~W4…ワード線  
D1~D4…データ線  
CS…共通ソース線

- 48 -

CD…共通データ線  
ED…消去電圧印加回路  
NEG…負電圧印加回路  
SA…センスアンプ  
DOB…データ出力バッファ  
DIB…データ入力バッファ  
I/O…外部入出力端子  
ADB…アドレスバッファ  
21…p型半導体基板  
22…ゲート酸化膜  
23…浮遊ゲート電極  
24…第一の層間酸化膜  
25…制御ゲート電極  
26…n+型半導体領域(ドレイン領域)  
27…p+型半導体領域(ドレインシールド層)  
28…n+型半導体領域(ソース領域の一部)  
29…n型半導体領域(ソース領域の一部)  
30…第二の層間酸化膜  
31…コンタクトホール  
32…アルミニウムのデータ線

- 50 -

33...LOCOS法による素子分離用のフィールド

ド酸化膜

33...p+型半導体領域(チャネルストップ)

35...LOCOS法による素子分離領域と活性領域の境界

51...p型半導体基板

52...ゲート酸化膜

53...浮遊ゲート電極

54...第一の層間酸化膜

55...制御ゲート電極

56...n+型半導体領域(ドレイン領域の一部)

57...n型半導体領域(ドレイン領域の一部)

58...n+型半導体領域(ソース領域)

59...p+型半導体領域(ソースシールド層)

60...第二の層間酸化膜

61...コンタクトホール

62...アルミニウムのデータ線

101...p型半導体基板

102...n型ウェル領域

103...n型ウェル領域102内に設けられたp

型ウェル領域

104...p+型半導体領域

105...n+型半導体領域

106...p+型半導体領域

107、108...MOSTランジスタのソース

ドレイン領域を構成するn+型

半導体領域

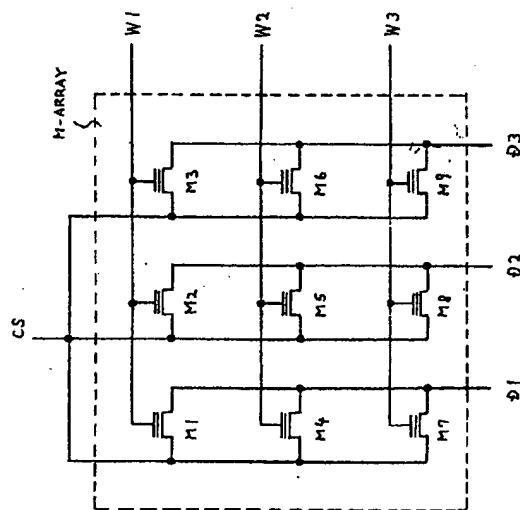
109...同MOSTランジスタのゲート酸化膜

110...同MOSTランジスタのゲート電極

代理人弁理士 中村 純之助

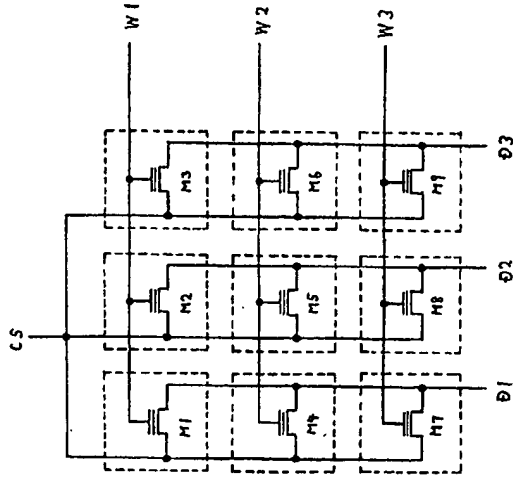
- 51 -

- 52 -

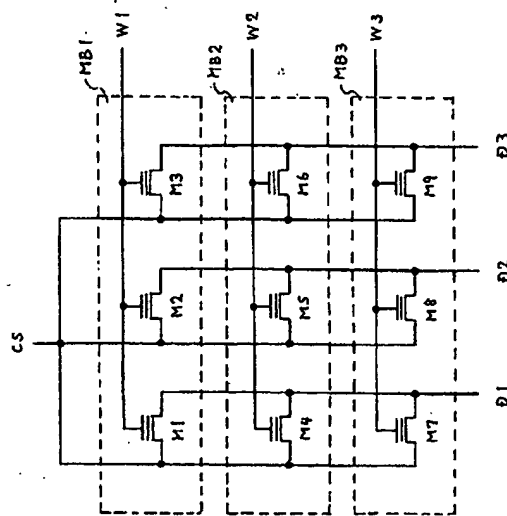


	W1	W2	W3	D1	D2	D3	CS	配線
電源	-7V	-7V	-7V	0V	0V	0V	5V	電源
信号	10V	0V	0V	4V	0V	0V	0V	信号
接地	5V	0V	0V	1V	0V	0V	0V	接地

第1図(a)



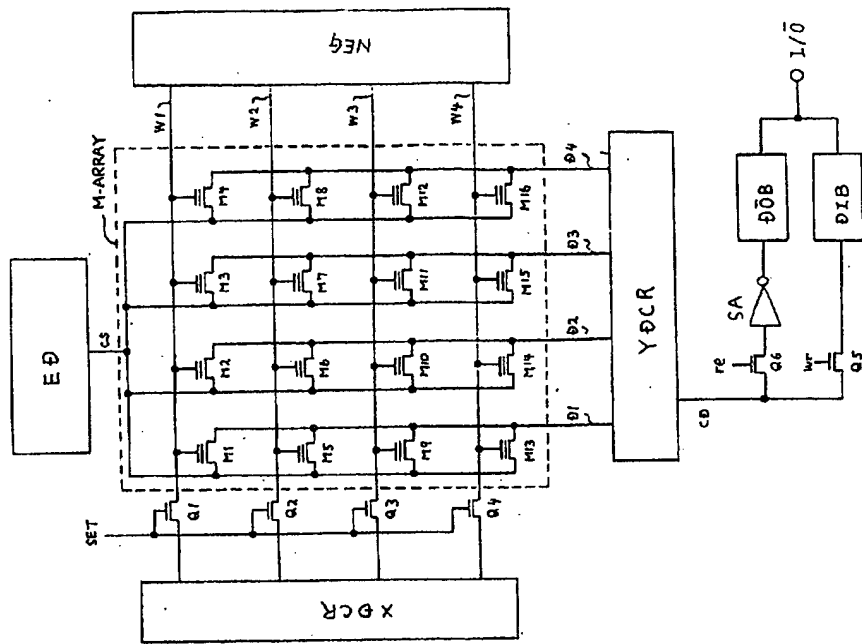
	W1	W2	W3	D1	D2	D3	CS	選択セル
読み出し	-7V	0V	0V	5V	0V	0V	0V	M1
書き込み	10V	0V	0V	0V	開放	開放	4V	M1
読み出し	5V	0V	0V	1V	0V	0V	0V	M1



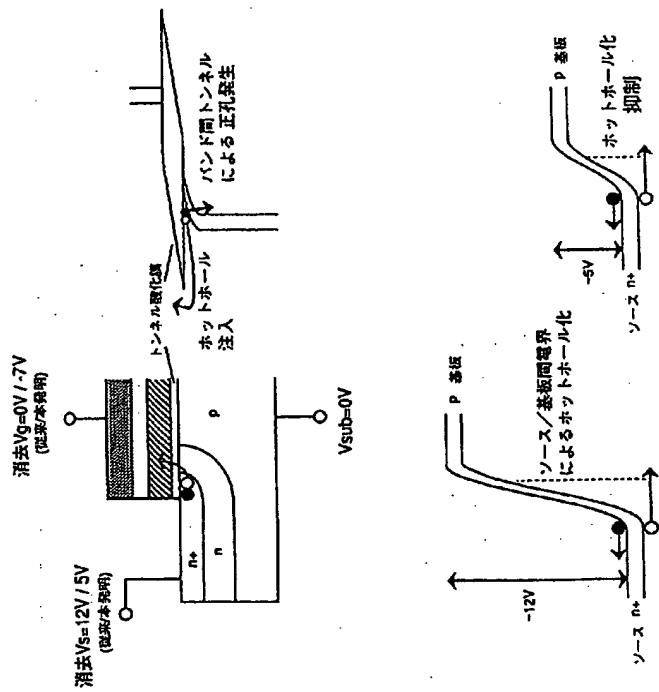
	W1	W2	W3	D1	D2	D3	CS	選択セル
読み出し	-7V	0V	0V	0V	0V	0V	5V	MB1
書き込み	10V	0V	0V	4V	0V	0V	0V	M1
読み出し	5V	0V	0V	1V	0V	0V	0V	M1

第 1 図 (c)

第 1 図 (b)



第 3 図

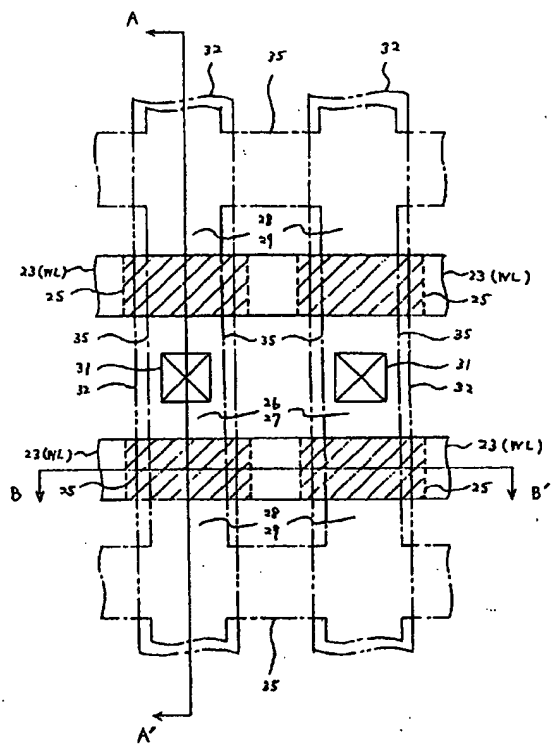


(a)従来技術

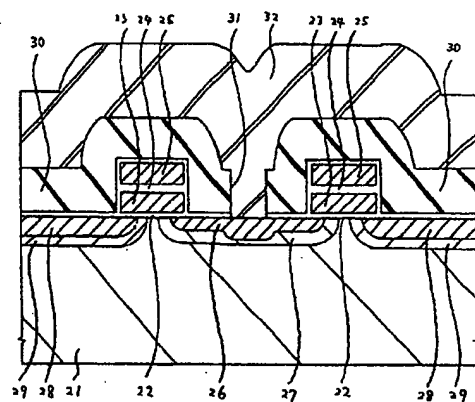
(b)本発明

第 2 図

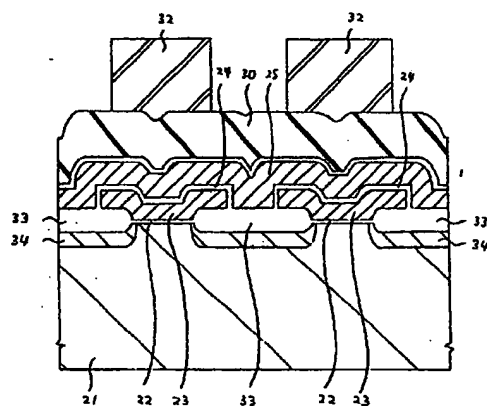




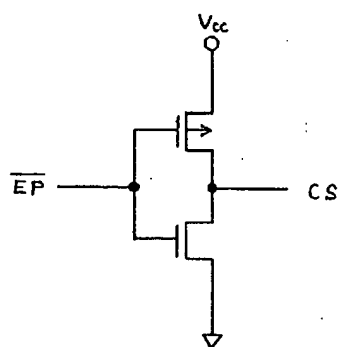
第 4 図



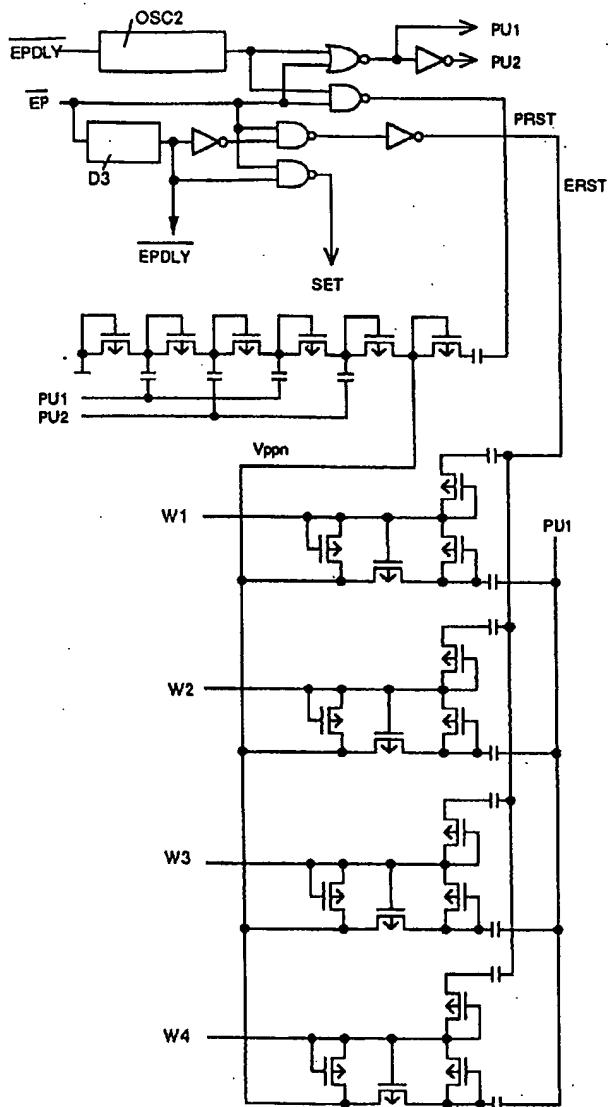
第 5 図



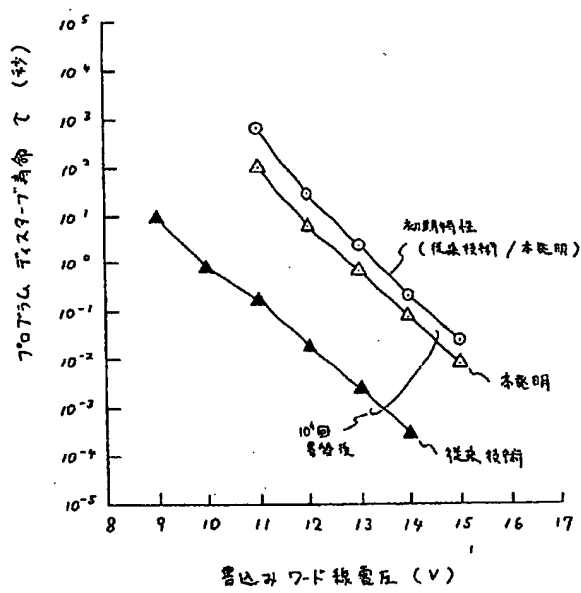
第 6 図



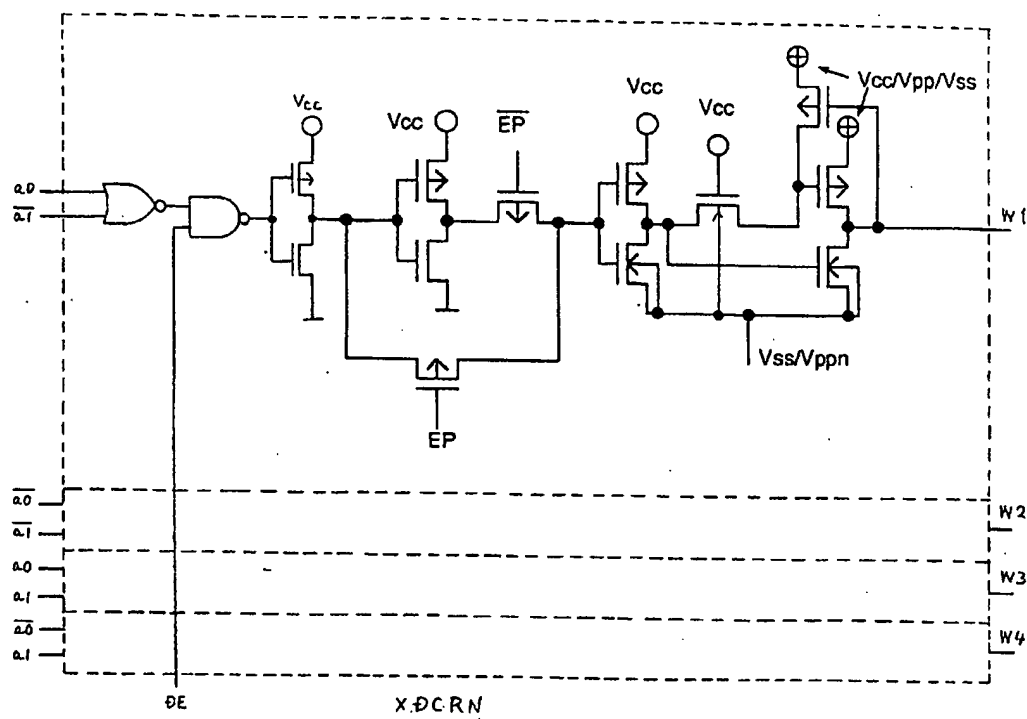
第 7 図



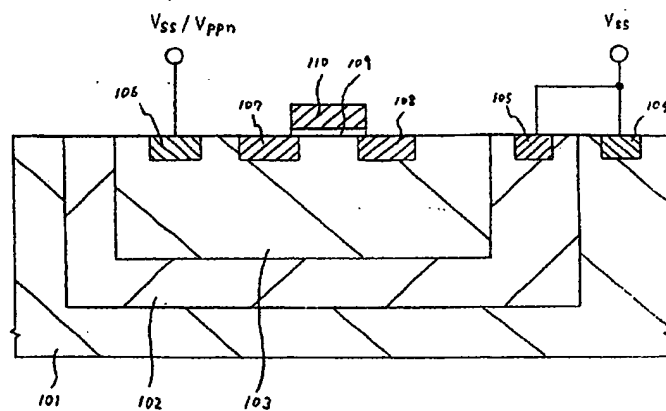
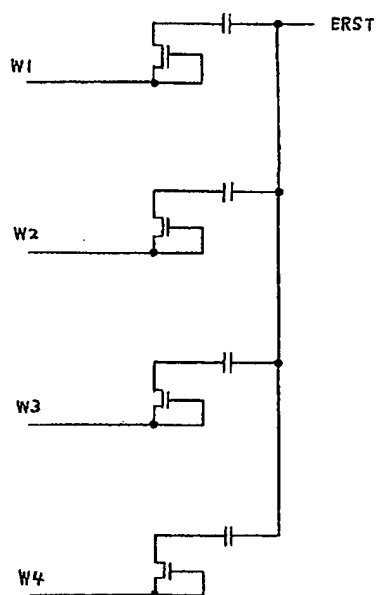
第 8 図



第 9 図

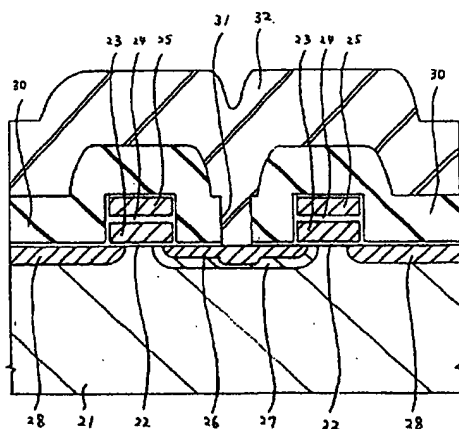


第10図

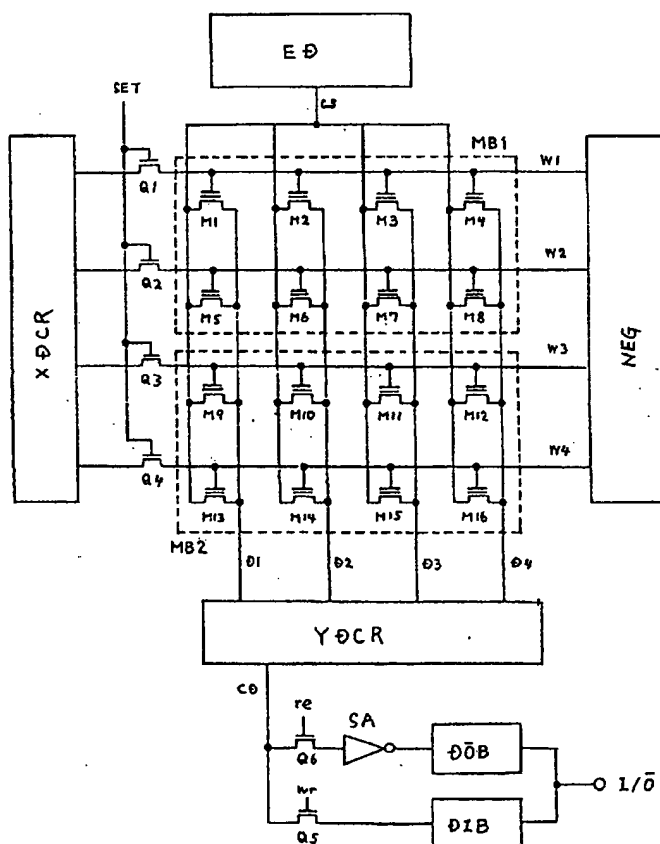


第 12 図

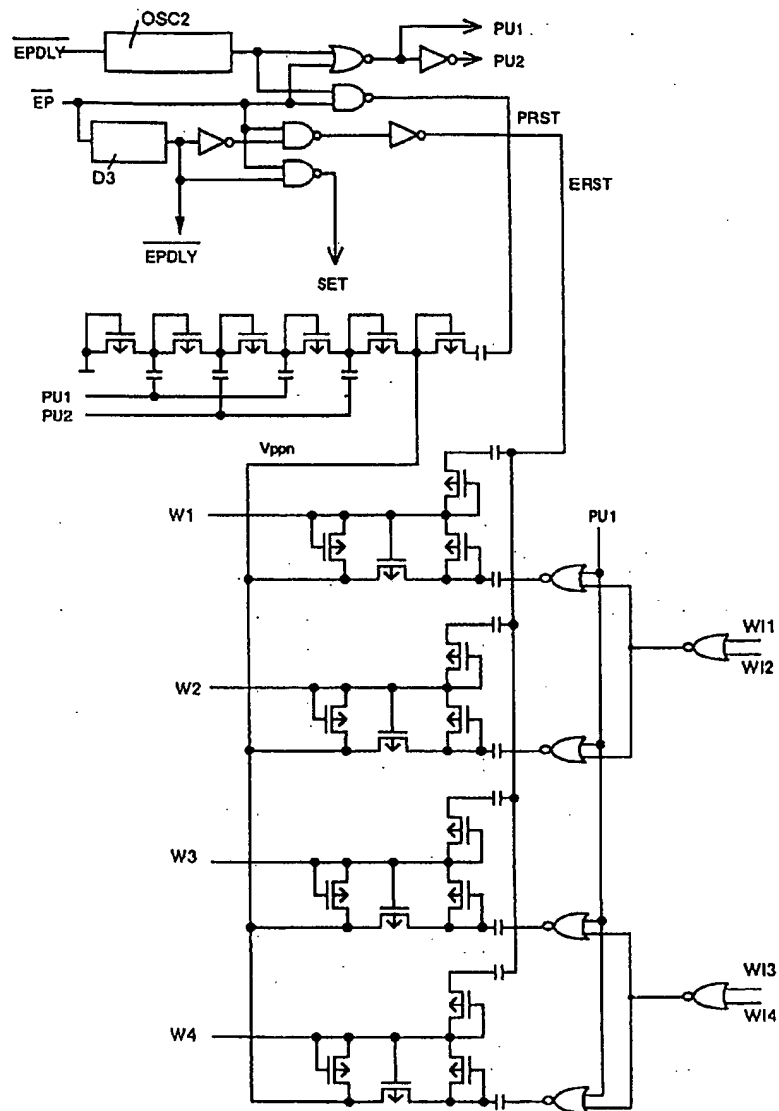
第 11 図



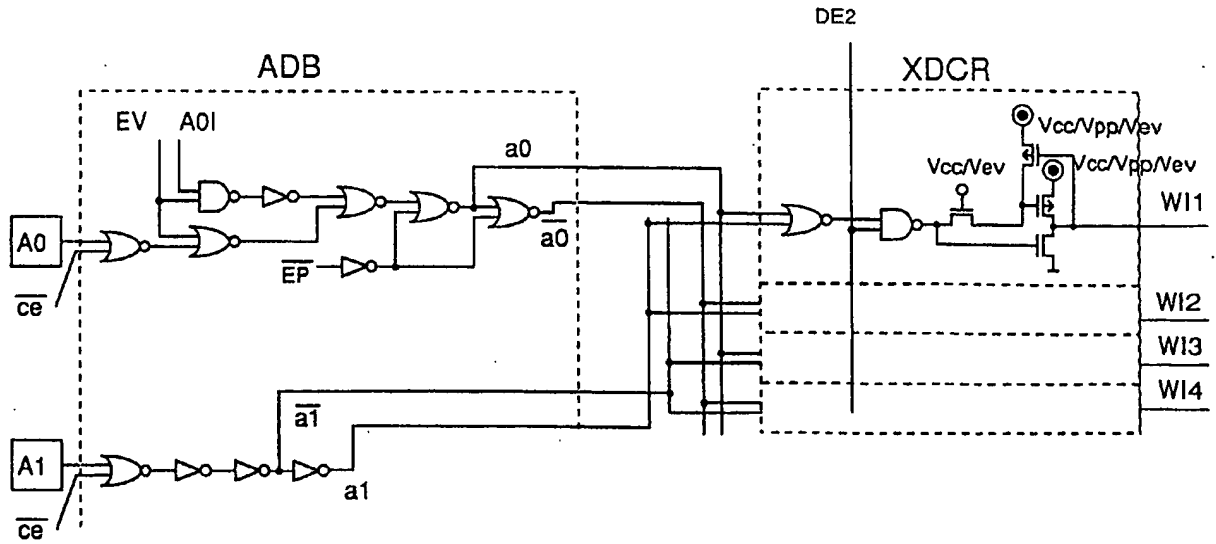
第 13 図



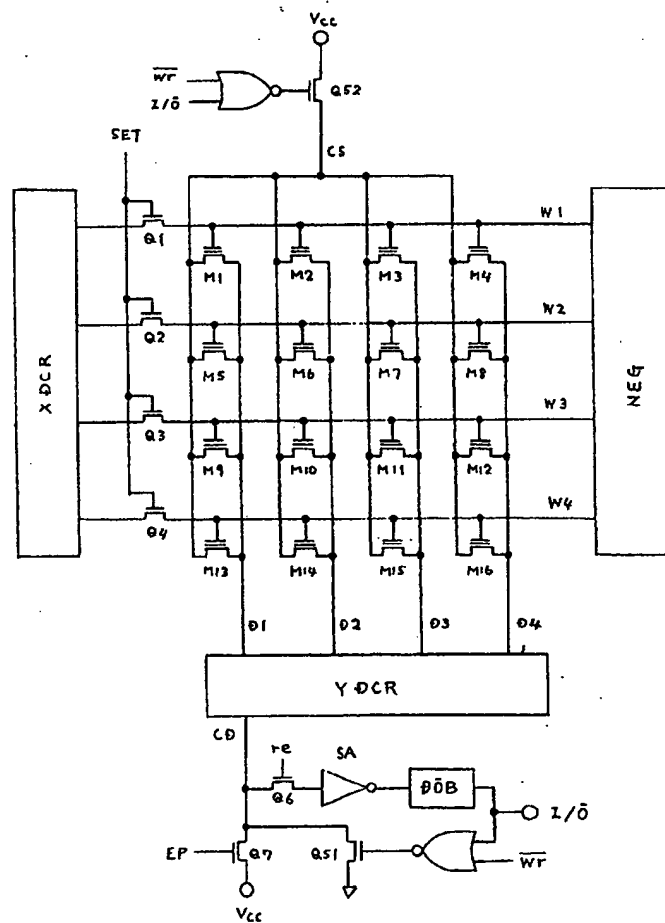
第 14 図



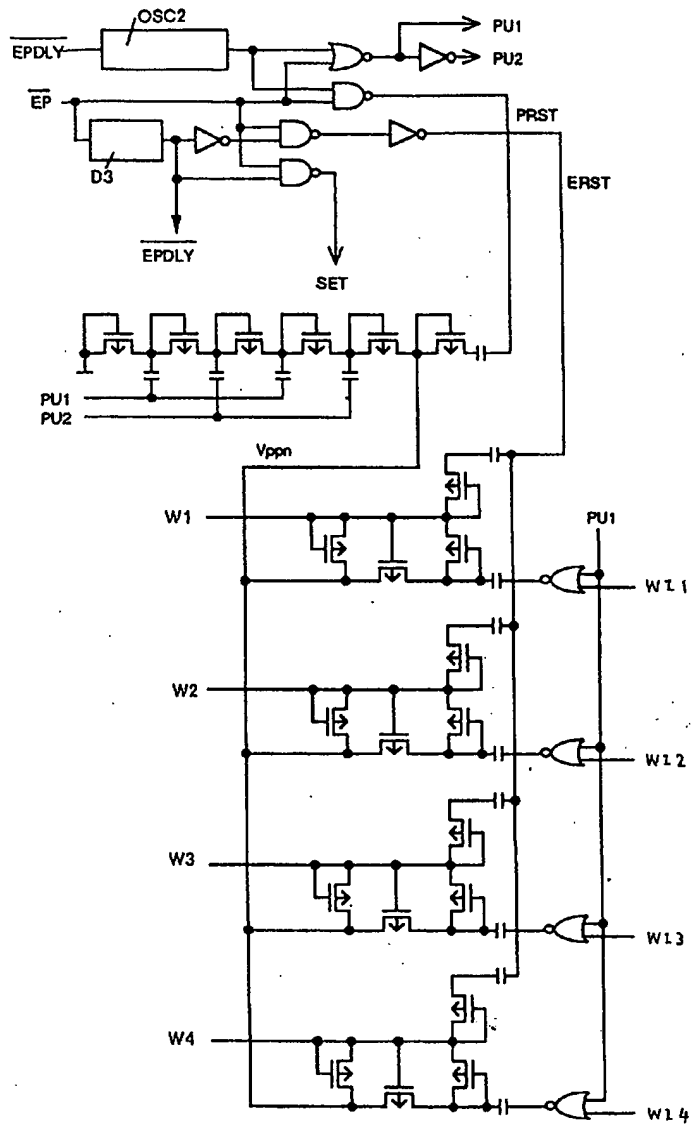
第 15 図



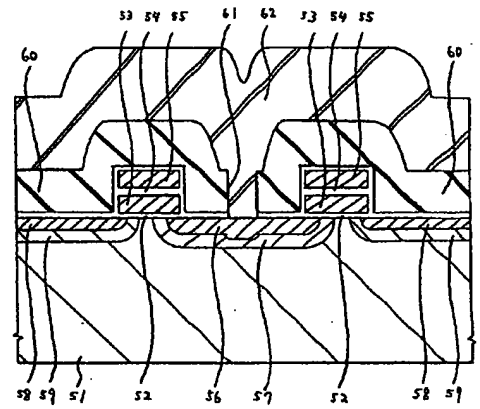
第 16 図



第 17 図



第 18 図



第 19 図